

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11195789 A

(43) Date of publication of application: 21.07.99

(51) Int. Cl

H01L 29/786

H01L 21/336

(21) Application number: 09341635

(71) Applicant: SONY CORP

(22) Date of filing: 11.12.97

(72) Inventor: KOMATSU YUJI

(30) Priority: 27.10.97 JP 09294435

(54) SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE

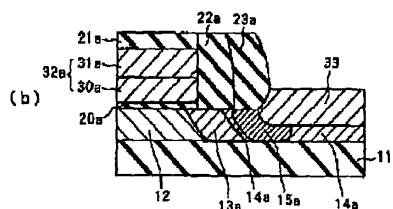
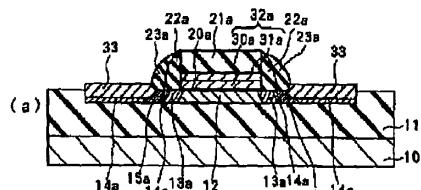
that of the conductive impurity in the remaining region
of the diffusion layer 14a.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To provide a semiconductor device, in which a low-resistance silicide layers is formed self-alignedly on a diffusion layer, without increasing contact resistance between the silicide layer and the diffusion layer, while a good ohmic contact between the layer is maintained.

SOLUTION: A semiconductor device is provided with a semiconductor layer 12 having a channel forming region, a gate insulating film 20a formed on the channel forming region, a gate electrode 32a formed on the insulating film 20a, a diffusion layer 14a which is formed in the semiconductor layer 12, so that the layer 14a may be connected to the channel forming region and contains a conductive impurity, and a high-melting point metal silicide layer 30 which is formed on the diffusion layer 14a, in such a state that the layer 30 is separated from the connecting end section between the channel forming region and a diffusion layer 14c by a prescribed distance. Here, the concentration of the conductive impurity in at least a partial region 15a of the diffusion layer 14a between the silicide layer 33 and a connecting end section is set at a higher value than



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-195789

(43)公開日 平成11年(1999)7月21日

(51)Int.Cl.⁶
H 01 L 29/786
21/336

識別記号

F I
H 01 L 29/78
6 1 7 J
6 1 6 A
6 1 6 M
6 1 6 V

審査請求 未請求 請求項の数25 OL (全 20 頁)

(21)出願番号 特願平9-341635
(22)出願日 平成9年(1997)12月11日
(31)優先権主張番号 特願平9-294435
(32)優先日 平9(1997)10月27日
(33)優先権主張国 日本 (JP)

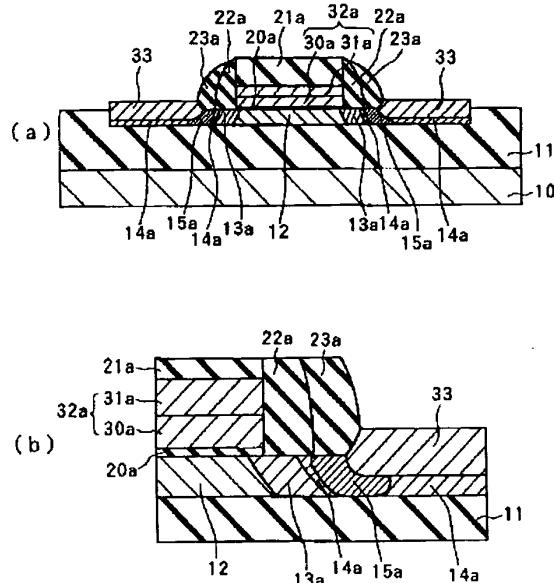
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 小松 裕司
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】シリサイド層と拡散層間のコンタクト抵抗を上昇させず、コンタクト特性が良好なオーミックコンタクトとしながら、低抵抗なシリサイド層を拡散層上に自己整合的に形成した半導体装置を提供する。

【解決手段】チャネル形成領域を有する半導体層12と、チャネル形成領域の上層に形成されたゲート絶縁膜20aと、ゲート絶縁膜の上層に形成されたゲート電極32aと、チャネル形成領域に接続するように半導体層中に形成された導電性不純物を含有する拡散層14aと、チャネル形成領域と拡散層の接続端部から所定の距離をもって離間し、かつ拡散層の上層に形成された高融点金属シリサイド層33とを有し、高融点金属シリサイド層と前記接続端部の間における拡散層の少なくとも一部の領域15aの導電性不純物濃度が残りの拡散層領域の導電性不純物濃度よりも高く設定されている構成とする。



【特許請求の範囲】

【請求項1】チャネル形成領域を有する半導体層と、前記チャネル形成領域の上層に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の上層に形成されたゲート電極と、
前記チャネル形成領域に接続するように前記半導体層中に形成された導電性不純物を含有する拡散層と、
前記チャネル形成領域と前記拡散層の接続端部から所定の距離をもって離間し、かつ前記拡散層の上層に形成された高融点金属シリサイド層とを有し、
前記高融点金属シリサイド層と前記接続端部の間における前記拡散層の少なくとも一部の領域の導電性不純物濃度が残りの拡散層領域の導電性不純物濃度よりも高く設定されている半導体装置。

【請求項2】前記半導体層が、絶縁性基板上に形成されている請求項1記載の半導体装置。

【請求項3】前記チャネル形成領域と前記拡散層との間の前記半導体層中に形成され、前記拡散層よりも低濃度の導電性不純物を含有する低濃度拡散層を有する請求項1記載の半導体装置。

【請求項4】前記ゲート電極の側部に形成された絶縁性の第1サイドウォールを有する請求項1記載の半導体装置。

【請求項5】前記ゲート電極と対向する側の前記第1サイドウォールの側部に形成された第2サイドウォールを有する請求項4記載の半導体装置。

【請求項6】チャネル形成領域を有する半導体層と、前記チャネル形成領域の上層に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の上層に形成されたゲート電極と、
前記チャネル形成領域に接続するように前記半導体層中に形成された導電性不純物を含有する拡散層と、
前記チャネル形成領域と前記拡散層の接続端部から所定の距離をもって離間し、かつ前記拡散層の上層に形成された高融点金属シリサイド層とを有し、
前記拡散層中にシリサイド化反応を抑制する不純物が含有されている領域を有する半導体装置。

【請求項7】前記シリサイド化反応を抑制する不純物が含有されている領域が、前記高融点金属シリサイド層と前記接続端部の間における前記拡散層の一部に形成されている請求項6記載の半導体装置。

【請求項8】前記シリサイド化反応を抑制する不純物が含有されている領域が、前記高融点金属シリサイド層の下部領域における前記拡散層中に形成されている請求項6記載の半導体装置。

【請求項9】前記半導体層が、絶縁性基板上に形成されている請求項6記載の半導体装置。

【請求項10】前記チャネル形成領域と前記拡散層との間の前記半導体層中に形成され、前記拡散層よりも低濃度の導電性不純物を含有する低濃度拡散層を有する請求項

6記載の半導体装置。

【請求項11】前記ゲート電極の側部に形成された絶縁性の第1サイドウォールを有する請求項6記載の半導体装置。

【請求項12】前記ゲート電極と対向する側の前記第1サイドウォールの側部に形成された第2サイドウォールを有する請求項11記載の半導体装置。

【請求項13】半導体層中のチャネル形成領域上にゲート絶縁膜を形成する工程と、

10 前記ゲート絶縁膜上にゲート電極を形成する工程と、
前記ゲート電極の側部に絶縁性の第1サイドウォールを形成する工程と、
前記チャネル形成領域に接続する拡散層を前記半導体層中に形成するために、前記チャネル形成領域と前記拡散層の接続端部近傍領域における前記拡散層の少なくとも一部の領域の導電性不純物濃度が残りの拡散層領域の導電性不純物濃度よりも高くなるように導電性不純物を前記半導体層中に導入する工程と、
前記拡散層中の導電性不純物を活性化する熱処理工程

20 と、
前記チャネル形成領域と前記拡散層の接続端部から所定の距離をもって離間し、かつ前記拡散層の上層に自己整合的に高融点金属シリサイド層を形成する工程とを有する半導体装置の製造方法。

【請求項14】前記ゲート絶縁膜を形成する工程の前に、絶縁性基板上に前記半導体層を形成する工程をさらに有する請求項13記載の半導体装置の製造方法。

【請求項15】前記ゲート電極を形成する工程の後、前記第1サイドウォールを形成する工程の前に、前記ゲート電極の上層にオフセット絶縁膜を形成する工程をさらに有し、

30 前記第1サイドウォールを形成する工程の後、前記導電性不純物を前記半導体層中に導入する工程の前に、前記第1サイドウォールの側部に第2サイドウォールを形成する工程をさらに有し、
前記導電性不純物を前記半導体層中に導入する工程においては、前記第2サイドウォールの下部の不純物濃度を選択的に高めるよう、前記導電性不純物の加速電圧を調整して導入する請求項13記載の半導体装置の製造方法。

40 【請求項16】前記ゲート電極を形成する工程の後、前記第1サイドウォールを形成する工程の前に、前記ゲート電極をマスクとして導電性不純物の導入を行い、前記拡散層よりも低濃度の導電性不純物を含有する低濃度拡散層を形成する工程をさらに有する請求項13記載の半導体装置の製造方法。

【請求項17】前記熱処理工程においては、高速熱アニール(RTA)法による熱処理を行う請求項13記載の半導体装置の製造方法。

50 【請求項18】半導体層中のチャネル形成領域上にゲー

ト絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、
前記ゲート電極の側部に絶縁性の第1サイドウォールを
形成する工程と、
前記チャネル形成領域に接続する拡散層を前記半導体層
中に形成するために導電性不純物を前記半導体層中に導
入する工程と、
前記拡散層の一部の領域にシリサイド化反応を抑制する
不純物を導入する工程と、
前記拡散層中の導電性不純物を活性化する熱処理工程
と、
前記チャネル形成領域と前記拡散層の接続端部から所定
の距離をもって離間し、かつ前記拡散層の上層に自己整
合的に高融点金属シリサイド層を形成する工程とを有す
る半導体装置の製造方法。

【請求項19】前記ゲート絶縁膜を形成する工程の前
に、絶縁性基板上に前記半導体層を形成する工程をさ
らに有する請求項18記載の半導体装置の製造方法。

【請求項20】前記拡散層の一部の領域にシリサイド化
反応を抑制する不純物を導入する工程においては、前記
チャネル形成領域と前記拡散層の接続端部近傍領域にお
ける前記拡散層の一部の領域の前記シリサイド化反応を
抑制する不純物の濃度を選択的に高めるように導入する
請求項18記載の半導体装置の製造方法。

【請求項21】前記ゲート電極を形成する工程の後、前
記第1サイドウォールを形成する工程の前に、前記ゲー
ト電極の上層にオフセット絶縁膜を形成する工程をさら
に有し、

前記第1サイドウォールを形成する工程の後、前記導電
性不純物を前記半導体層中に導入する工程の前に、前記
第1サイドウォールの側部に第2サイドウォールを形成
する工程をさらに有し、

前記拡散層の一部の領域にシリサイド化反応を抑制する
不純物を導入する工程においては、前記第2サイドウォ
ールの下部のシリサイド化反応を抑制する不純物濃度を
選択的に高めるように、前記シリサイド化反応を抑制する
不純物の加速電圧を調整して導入する請求項20記載の
半導体装置の製造方法。

【請求項22】前記拡散層の一部の領域にシリサイド化
反応を抑制する不純物を導入する工程においては、前記
拡散層の所定の深さの領域の前記シリサイド化反応を抑
制する不純物の濃度を選択的に高めるように導入する請
求項18記載の半導体装置の製造方法。

【請求項23】前記ゲート電極を形成する工程の後、前
記第1サイドウォールを形成する工程の前に、前記ゲー
ト電極の上層にオフセット絶縁膜を形成する工程をさら
に有し、

前記拡散層の一部の領域にシリサイド化反応を抑制する
不純物を導入する工程においては、前記拡散層の所定の
深さの領域の前記シリサイド化反応を抑制する不純物の

濃度を選択的に高めるように、前記シリサイド化反応を
抑制する不純物の加速電圧を調整して導入する請求項2
記載の半導体装置の製造方法。

【請求項24】前記ゲート電極を形成する工程の後、前
記第1サイドウォールを形成する工程の前に、前記ゲー
ト電極をマスクとして導電性不純物の導入を行い、前記
拡散層よりも低濃度の導電性不純物を含有する低濃度拡
散層を形成する工程をさらに有する請求項18記載の半
導体装置の製造方法。

10 【請求項25】前記熱処理工程においては、高速熱アニ
ール(RTA)法による熱処理を行う請求項18記載の半
導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置および
その製造方法に関し、特に拡散層上に自己整合的にシリ
サイド層を形成することにより拡散層を低抵抗化したM
OS(Metal-Oxide-Semiconductor)トランジスタを有する
半導体装置およびその製造方法に関する。

20 【0002】

【従来の技術】従来、半導体装置における素子分離絶縁
膜としては、例えば活性領域を窒化シリコン膜で保護
し、フィールド領域を選択的に酸化して形成するLOC
OS(Local Oxidation of Silicon)素子分離膜、半導
体基板に形成したトレンチ状の溝に酸化シリコンを埋め
込んで形成するトレンチ素子分離膜などが広く用いられ
ている。

30 【0003】SOI(Silicon on Insulator)構造も素
子分離方法の一つであり、この方法によれば素子間同士
の完全分離を容易に行うことが可能となり、またソフト
エラーやCMOS(Complementary MOS)トランジスタ
に特有なラッチアップの抑制が可能になることが知られ
ている。このため、長年にわたりSOI構造に関する研
究がなされており、例えば500nm程度のシリコン活性
層の厚さのSOI構造によってLSIの高速・高信頼
性化の検討が行われてきた。

40 【0004】最近、SOI構造の表面シリコン層をさ
らに100nm程度まで薄く、またチャネルの不純物濃度
も比較的低い状態に制御して、ほぼシリコン活性層全体
が空乏化するような条件(完全空乏型)にすると、短チ
ャネル効果の抑制やMOSトランジスタの電流駆動能力
の向上など、さらに優れた性能が得られることがわかつ
てきた。

【0005】ところが一方で、薄いシリコン層が必要と
される完全空乏型のSOI構造デバイスにおいては、特
にSOI構造シリコン層の薄膜化に伴い、拡散層の抵抗
が素子特性に無視できないレベルにまで上昇してきて
いる。

50 【0006】例えば、SOI構造シリコン層の膜厚が約
50nmの場合、n⁺拡散層のシート抵抗は、950

℃、10秒のRTA (Rapid Thermal Annealing) 处理の後で約300Ω/□となり、ゲート長が0.25μmのSOI構造トランジスタの場合、チャネル抵抗の1/3~1/4の寄生抵抗を生じさせてしまう。

【0007】半導体装置の微細化、高集積化はますます進められており、ゲート長が0.18μmであるさらに微細なトランジスタにおいては、短チャネル効果の抑制から、SOI構造シリコン層の膜厚は約30nm程度とますます薄い膜厚が要求されることになる。このような場合においては、なんらかの方法により拡散層を低抵抗化しないとトランジスタを微細化しただけでは寄生抵抗が増大するだけとなり、微細化によってトランジスタの性能を向上させるどころか逆に低下させることにもなりかねない。特に将来の微細デバイスでは、導電性不純物の拡散プロファイルも正確に制御する必要があり、イオン注入後の熱処理時間を短くして行われるようになるので、実効的な導電性不純物の活性化率も低下しており、出来上がりの拡散層の抵抗も大きくなるを得ず、ますます拡散層の寄生抵抗の問題が頭在化していく。

【0008】このような状況下で拡散層の低抵抗化のプロセスの一つとして提案されているサリサイド (SALICIDE; Self Aligned Silicide) 法による自己整合形成のサリサイド技術が近年は注目を浴びている。このサリサイド法により形成したMOSトランジスタを有する半導体装置を図17(a)に示す。シリコン半導体基板10上に絶縁層11が形成され、その上層にチャネル形成領域を有するシリコン半導体層12が形成されている。チャネル形成領域の上層には、酸化シリコン薄膜のゲート絶縁膜20aを介して、ポリシリコンの下側ゲート電極30a、タングステンシリサイドの上側ゲート電極31aからなるポリサイド構造のゲート電極32aが形成されており、その上層には酸化シリコンのオフセット絶縁膜21aが形成されている。ゲート電極32aの両側部には、酸化シリコンのサイドウォール22aが形成されている。また、半導体層12中には、チャネル形成領域に接続するように低濃度に導電性不純物を含有する低濃度拡散層13aが形成されており、低濃度拡散層13aに接続してより高濃度に含有するソース・ドレイン領域となる拡散層14aが形成されている。さらに、拡散層14aの上層には、例えばチタンシリサイドからなるシリサイド層33が形成されている。

【0009】図17(b)は、図17(a)に示す半導体装置の拡散層付近を拡大した要部断面図である。シリコン半導体層12中には、チャネル形成領域に接続して順に、低濃度拡散層13a、ソース・ドレイン領域となる拡散層14aが形成されている。

【0010】上記の半導体装置は、前述のサリサイド法により形成可能であり、プロセスの最高温度が~900℃以下のRTA処理でも出来上がりの拡散層のシート抵抗は~5Ω/□程度と従来の出来上がりの値に対して1

桁以上も拡散層のシート抵抗を下げることが可能となるので、トランジスタの微細化に伴う寄生抵抗の問題を解決する技術として、近年は盛んに研究されている。

【0011】しかしながら、上記の半導体装置においても、微細化が進められると以下に説明するようなシリサイドと拡散層とのコンタクト抵抗の問題が頭在化していく。すなわち、トランジスタの短チャネル効果を抑制するために、ソース・ドレイン拡散層用の導電性不純物を導入後は、より短時間の熱処理が施されるようになるため、不純物は深さ方向への拡散の抑制とともに横方向への拡散も抑制され、イオン注入後の不純物プロファイルにより近い形が保存されることになる。このような状態で拡散層上にシリサイド層を自己整合的に形成した場合、不純物の横方向への熱拡散は、深さ方向の例えば約70%程度と小さいのに対して、シリサイド化は一般には等方的に、あるいは段差部分では平坦部よりも逆に速く、進行する。従って、拡散層14aの横方向の拡散長がシリサイド層33の横方向への浸食長と同等程度となると、例えば図17(b)中の部位X近傍(低濃度拡散層13aと拡散層14aの接続端部近傍)において、シリサイド層33が低濃度拡散層13aと接触する場合が生じる。

【0012】本来シリサイド層33と接触する拡散層中には導電性不純物が高濃度に存在してオーミックコンタクトとならなければならないのであるが、上記のようにシリサイド層33が低濃度拡散層13aと接触すると、拡散層中の不純物濃度(実際には、キャリア濃度)が一定の値より減少した場合、シリサイド層33と拡散層とのコンタクトはショットキーコンタクトとなってしまう。拡散層上にシリサイド層を形成することにより拡散層のシート抵抗は低下させることは可能となったが、シリサイド層/拡散層間に電流を流さなければならぬトランジスタの駆動能力は逆に低下してしまうというような問題が生じてしまう。

【0013】上記の問題に対して、図18(a)に示すような半導体装置が特開平2-181934号公報および特開平9-199720号公報に開示されている。図17(a)に示す半導体装置に対して、拡散層14a用の不純物の導入後に、低濃度拡散層形成に用いたサイドウォール(第1サイドウォール22a)とは、別のサイドウォール(第2サイドウォール23a)を形成して、拡散層14aの端部に対して所定の距離のオフセットをかけてシリサイド層を自己整合的に形成したものである。図18(b)は図18(a)に示す半導体装置の拡散層付近を拡大した要部断面図である。シリコン半導体層12中には、チャネル形成領域に接続して順に、低濃度拡散層13a、拡散層14aが形成されており、拡散層14aの上層に形成されたシリサイド層33と低濃度拡散層13aとの間には一定の距離を確保することができ、シリサイド層33と低濃度拡散層13aとが接触す

ることはない。上記の半導体装置および製造方法によれば、低濃度拡散層13a領域の幅とシリサイド層33と低濃度拡散層13a間の分離長さとをそれぞれ別々に設計でき、トランジスタの寄生抵抗の低下をさらに進めることが可能となる。

【0014】

【発明が解決しようとする課題】しかしながら、一般に拡散層の不純物濃度を高くすればするほど、シリサイド層と拡散層間のコンタクト抵抗を下げることができる反面、不純物濃度の上昇に応じてシリサイド化反応が抑制され、形成されるシリサイドのシート抵抗が上昇してしまうという問題がある。よって従来は、シリサイド形成を行わない場合のソース・ドレイン領域となる拡散層の不純物イオンのドーズ量を例えば約 $5 \times 10^{15} \text{ cm}^{-2}$ 程度としていたのに対して、自己整合シリサイドを形成する場合の不純物イオンのドーズ量を例えば $2 \times 10^{15} \text{ cm}^{-2}$ 程度にまで下げて上記の拡散層を形成していた。しかしながら、このように不純物濃度を下げた場合は、シリサイド層と拡散層間のコンタクト(図17(b)の界面Y、図18(b)の界面Zにおけるコンタクト)もショットキーコンタクトになり易く、コンタクト抵抗が高くなり易くなっている。特にシリサイドの仕事関数が、シリコンのバンドギャップの中間の位置からどちらかにずれているような場合、例えばプラチナシリサイドのように p^+ シリコン側へその仕事関数が大きくなっているような時には、 p^+ シリコンとのオーミックコンタクトは形成しやすい反面、 n^+ シリコンとのオーミックコンタクトは形成しにくくなると言うような問題がある。

【0015】また、上記のような問題は、熱プロセスの低温化が必要とされる0.18μm以降のデザインレベルの微細デバイスにおいては、不純物の活性化率が低下するためにより顕在化する問題であり、微細化する将来のデバイスにおいても、シリサイド層と拡散層間のコンタクト抵抗を上昇させずに、かつ、拡散層上には低抵抗のシリサイドを自己整合的に形成して、拡散層の低抵抗化が効果的にトランジスタの駆動能力の向上となって表れるようなシリサイドを用いた半導体装置およびその製造方法が求められている。

【0016】一方、SOI構造シリコン層においては、シリサイド化反応に供給できるシリコンの量が有限であるということから、供給可能なシリコンの量に制限がないバルクシリコン層を用いる場合には生じなかった問題が新たに発生する。例えば、シリコン層の上層にチタンシリサイド($TiSi_2$)層を自己整合的に形成する場合、通常2ステップの熱処理工程が用いられる。第1ステップの熱処理工程後においては、高温で安定な $TiSi_2$ の組成に全て変換されている訳ではなく、深さ方向に $Ti:Si$ の組成が組成比が変化していく、未反応の Ti 層に近づくにつれて Ti の組成比率が高くなってくる組成プロファイルとなる。このとき、図19(a)に

示す半導体装置のように薄膜のSOI構造シリコン層の場合、シリサイド層33の下部のシリコン(図面上はソース・ドレイン拡散層となる拡散層14aのシリコン)のほとんどが消費されてしまうと、未反応の Ti を選択的にエッチング除去しても Ti の組成比率の高い層が残ることとなり、次の第2ステップの熱処理工程において安定な $TiSi_2$ 層を形成しようとするためにはSOI構造トランジスタのチャネル形成領域のシリコンが消費され、最悪の場合には、図19(b)の拡大図に示すように、低濃度拡散層13aあるいはソース・ドレイン領域となる拡散層14aなどのシリサイド層33との境界近傍においてボイドVが発生することがある。この結果、ボイドV部分でのコンタクト抵抗が上昇するので、総合的なトランジスタの駆動能力が低下することとなってしまう。

【0017】また、チタンシリサイド層を形成するために堆積させるチタン層の初期の膜厚を薄くすると、上記のシリコンの消費量を抑えてボイドの形成を抑制する方向ではあるが、新たに凝集(Agglomeration)の問題が発生してしまい、不可能である。チタンの場合、堆積後の大気暴露における酸化や凝集の問題から、堆積させるチタン層の初期の膜厚は15~20nmが最小膜厚であるとされている。チタンの堆積工程の直後に真空を破らずに連続プロセスで窒化チタンなどのチタンの酸化防止膜を形成し、その後でシリサイドを形成するプロセスも提案されているが、このような酸化防止膜は未反応チタンを選択的にエッチングするときにアンモニア水などの溶液を用いなければならず、選択エッチングの選択性を低下させるので、できあがりのチタンシリサイド層の膜厚が薄くなってくる将来のデバイスにおいては好ましいものではない。

【0018】本発明は上記の状況に鑑みてなされたものであり、従つて本発明の目的は、微細化して接合が浅くなるデバイスにおいても、拡散層などのボイドの形成やシリサイド層と拡散層間のコンタクト抵抗の上昇が抑制され、コンタクト特性が良好なオーミックコンタクトであり、低抵抗なシリサイド層が拡散層上に自己整合的に形成されて拡散層の低抵抗化を全て素子の駆動能力の向上につなげることを可能とする半導体装置およびその製造方法を提供することである。

【0019】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置は、チャネル形成領域を有する半導体層と、前記チャネル形成領域の上層に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上層に形成されたゲート電極と、前記チャネル形成領域に接続するように前記半導体層中に形成された導電性不純物を含有する拡散層と、前記チャネル形成領域と前記拡散層の接続端部から所定の距離をもって離間し、かつ前記拡散層の上層に形成された高融点金属シリサイド層とを有し、前記高

融点金属シリサイド層と前記接続端部の間における前記拡散層の少なくとも一部の領域の導電性不純物濃度が残りの拡散層領域の導電性不純物濃度よりも高く設定されている。

【0020】上記の本発明の半導体装置は、シリサイド層は、チャネル形成領域とソース・ドレイン領域となる拡散層の接続端部から所定の距離をもって離間して形成されており、さらに、シリサイド層と接続端部の間における拡散層の少なくとも一部の領域の導電性不純物濃度が残りの拡散層領域の導電性不純物濃度よりも高く設定されていることから、シリサイド層が低濃度拡散層などの導電性不純物の濃度の低い領域や、チャネル形成領域に接しない構造とすることで、シリサイド層と拡散層間のコンタクト抵抗の上昇を抑制しながら、シリサイド化反応を抑制しないよう拡散層中の不純物濃度を下げてシリサイド層のシート抵抗の上昇を抑制して形成することが可能となる。従って、微細化して接合が浅くなるデバイスにおいても、シリサイド層と拡散層間のコンタクト抵抗を上昇させず、コンタクト特性が良好なオーミックコンタクトとしながら、低抵抗なシリサイド層を拡散層上に自己整合的に形成し、拡散層の低抵抗化分を全て素子の駆動能力の向上につなげることが可能となる。ここで、シリサイド層と接続端部の間における拡散層の少なくとも一部の領域の導電性不純物濃度が残りの拡散層領域の導電性不純物濃度よりも高く設定されればよく、残りの領域の拡散層中の不純物濃度はゼロに近い値にすることもできる。

【0021】また、上記の目的を達成するため、本発明の半導体装置は、チャネル形成領域を有する半導体層と、前記チャネル形成領域の上層に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上層に形成されたゲート電極と、前記チャネル形成領域に接続するように前記半導体層中に形成された導電性不純物を含有する拡散層と、前記チャネル形成領域と前記拡散層の接続端部から所定の距離をもって離間し、かつ前記拡散層の上層に形成された高融点金属シリサイド層とを有し、前記拡散層中にシリサイド化反応を抑制する不純物が含有されている領域を有する。

【0022】上記の本発明の半導体装置は、シリサイド層は、チャネル形成領域とソース・ドレイン領域となる拡散層の接続端部から所定の距離をもって離間して形成されており、さらに、拡散層中にシリサイド化反応を抑制する不純物が含有されている領域を有することから、この領域においてシリサイド化反応が進みすぎないように制御して形成することが可能である。特に、シリサイド化反応を抑制する不純物が含有されている領域が、チャネル形成領域とソース・ドレイン領域となる拡散層の接続端部と、高融点金属シリサイド層との間における拡散層の一部に形成されている、あるいは、高融点金属シリサイド層の下部領域における拡散層中に形成されてい

るようによることで、シリサイド化反応が進むにつれて反応速度が低下するようにして形成することが可能となり、シリサイド層がチャネル形成領域に接するまで反応してしまったり、SOI構造などの場合に供給量に制限があるのにシリサイド化反応が進みすぎてボイドが形成されたりするのを抑制することができる。これにより、微細化して接合が浅くなるデバイスにおいても、シリサイド層と拡散層間のコンタクト抵抗を上昇させず、コンタクト特性が良好なオーミックコンタクトとしながら、低抵抗なシリサイド層を拡散層上に自己整合的に形成し、拡散層の低抵抗化分を全て素子の駆動能力の向上につなげることが可能となる。

【0023】上記の本発明の半導体装置は、好適には、前記半導体層が、絶縁性基板上に形成されている。このようなSOI構造とすることで、素子間同士の完全分離を容易に行なうことが可能となり、またソフトエラーやCMOSトランジスタに特有なラッチアップの抑制が可能になる。また、シリコン層を薄くするなどしてほぼシリコン活性層全体が空乏化するような条件(完全空乏型)にすると、短チャネル効果を抑制し、トランジスタの電流駆動能力を向上させることができる。

【0024】上記の本発明の半導体装置は、好適には、前記チャネル形成領域と前記拡散層の間の前記半導体層中に形成され、前記拡散層よりも低濃度の導電性不純物を含有する低濃度拡散層を有する。これにより、LDD(Lightly Doped Drain)構造とができる、トランジスタのブレークダウン耐圧や、ホットキャリア耐性を向上させることができる。

【0025】上記の本発明の半導体装置は、好適には、前記ゲート電極の側部に形成された絶縁性の第1サイドウォールを有する。これにより、拡散層に対してシリサイド層を自己整合的に形成することが可能となり、また、LDD構造とができる。

【0026】上記の本発明の半導体装置は、好適には、前記ゲート電極と対向する側の前記第1サイドウォールの側部に形成された第2サイドウォールを有する。これにより、第1サイドウォールと第2サイドウォールを合わせた膜厚の調節が容易となり、チャネル形成領域とソース・ドレイン領域となる拡散層の接続端部と、シリサイド層との間の所定の距離を制御することが容易となる。

【0027】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体層中のチャネル形成領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極の側部に絶縁性の第1サイドウォールを形成する工程と、前記チャネル形成領域に接続する拡散層を前記半導体層中に形成するために、前記チャネル形成領域と前記拡散層の接続端部近傍領域における前記拡散層の少なくとも一部の領域の導電性不純物濃度が残りの拡散層領域

の導電性不純物濃度よりも高くなるように導電性不純物を前記半導体層中に導入する工程と、前記拡散層中の導電性不純物を活性化する熱処理工程と、前記チャネル形成領域と前記拡散層の接続端部から所定の距離をもって離間し、かつ前記拡散層の上層に自己整合的に高融点金属シリサイド層を形成する工程とを有する。

【0028】上記の本発明の半導体装置の製造方法は、半導体層中のチャネル形成領域上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成し、ゲート電極の側部に絶縁性の第1サイドウォールを形成する。次に、チャネル形成領域に接続する拡散層を前記半導体層中に形成するために、チャネル形成領域と拡散層の接続端部近傍領域における拡散層の少なくとも一部の領域の導電性不純物濃度が残りの拡散層領域の導電性不純物濃度よりも高くなるように導電性不純物を半導体層中に導入する。次に、拡散層中の導電性不純物を活性化する熱処理の後、チャネル形成領域と拡散層の接続端部から所定の距離をもって離間し、かつ拡散層の上層に自己整合的に高融点金属シリサイド層を形成する。

【0029】上記の本発明の半導体装置の製造方法によれば、シリサイド層を低濃度拡散層などの導電性不純物の濃度が低い領域や、チャネル形成領域に接しないように形成することができ、シリサイド層と拡散層間のコンタクト抵抗の上昇を抑制しながら、シリサイド化反応を抑制しないように拡散層中の不純物濃度を下げてシリサイド層のシート抵抗の上昇を抑制して形成することができる。従って、微細化して接合が浅くなるデバイスにおいても、シリサイド層と拡散層間のコンタクト抵抗を上昇させず、コンタクト特性が良好なオーミックコンタクトとしながら、低抵抗なシリサイド層を拡散層上に自己整合的に形成し、拡散層の低抵抗化分を全て素子の駆動能力の向上につなげることが可能な半導体装置の製造方法である。

【0030】上記の本発明の半導体装置の製造方法は、好適には、前記ゲート電極を形成する工程の後、前記第1サイドウォールを形成する工程の前に、前記ゲート電極の上層にオフセット絶縁膜を形成する工程をさらに有し、前記第1サイドウォールを形成する工程の後、前記導電性不純物を前記半導体層中に導入する工程の前に、前記第1サイドウォールの側部に第2サイドウォールを形成する工程をさらに有し、前記導電性不純物を前記半導体層中に導入する工程においては、前記第2サイドウォールの下部の不純物濃度を選択的に高めるように、前記導電性不純物の加速電圧を調整して導入する。これにより、チャネル形成領域に接続する拡散層を半導体層中に形成するために、チャネル形成領域と拡散層の接続端部近傍領域における拡散層の一部の領域の導電性不純物濃度が残りの拡散層領域の導電性不純物濃度よりも高くなるように導電性不純物を半導体層中に導入することができる。

【0031】また、上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体層中のチャネル形成領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極の側部に絶縁性の第1サイドウォールを形成する工程と、前記チャネル形成領域に接続する拡散層を前記半導体層中に形成するために導電性不純物を前記半導体層中に導入する工程と、前記拡散層の一部の領域にシリサイド化反応を抑制する不純物を導入する工程と、前記拡散層中の導電性不純物を活性化する熱処理工程と、前記チャネル形成領域と前記拡散層の接続端部から所定の距離をもって離間し、かつ前記拡散層の上層に自己整合的に高融点金属シリサイド層を形成する工程とを有する。

【0032】上記の本発明の半導体装置の製造方法は、半導体層中のチャネル形成領域上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成し、ゲート電極の側部に絶縁性の第1サイドウォールを形成する。次に、チャネル形成領域に接続する拡散層を半導体層中に形成するために導電性不純物を半導体層中に導入し、さらに拡散層の一部の領域にシリサイド化反応を抑制する不純物を導入する。次に、拡散層中の導電性不純物を活性化する熱処理の後、チャネル形成領域と拡散層の接続端部から所定の距離をもって離間し、かつ拡散層の上層に自己整合的に高融点金属シリサイド層を形成する。

【0033】上記の本発明の半導体装置の製造方法によれば、シリサイド層は、チャネル形成領域とソース・ドレイン領域となる拡散層の接続端部から所定の距離をもって離間して形成し、さらに、拡散層の一部の領域にシリサイド化反応を抑制する不純物を導入することから、この領域でシリサイド化反応が抑制され、シリサイド化反応が進みすぎないように制御して形成することができる。特に、拡散層の一部の領域にシリサイド化反応を抑制する不純物を導入する工程においては、チャネル形成領域と拡散層の接続端部近傍領域における拡散層の一部の領域のシリサイド化反応を抑制する不純物の濃度を選択的に高めるように導入する、あるいは、拡散層の所定の深さの領域のシリサイド化反応を抑制する不純物の濃度を選択的に高めるように導入することで、シリサイド化反応が進むにつれて反応速度が低下するようにして形成することができ、シリサイド層がチャネル形成領域に接するまでシリサイド化反応をしてしまったり、SOI構造などの場合に供給量に制限があるのにシリサイド化反応が進みすぎてボイドが形成されたりするのを抑制することができる。従って、微細化して接合が浅くなるデバイスにおいても、シリサイド層と拡散層間のコンタクト抵抗を上昇させず、コンタクト特性が良好なオーミックコンタクトとしながら、低抵抗なシリサイド層を拡散層上に自己整合的に形成し、拡散層の低抵抗化分を全て素子の駆動能力の向上につなげることが可能な半導体装置の製造方法である。

【0034】上記の本発明の半導体装置の製造方法は、好適には、前記ゲート電極を形成する工程の後、前記第1サイドウォールを形成する工程の前に、前記ゲート電極の上層にオフセット絶縁膜を形成する工程をさらに有し、前記第1サイドウォールを形成する工程の後、前記導電性不純物を前記半導体層中に導入する工程の前に、前記第1サイドウォールの側部に第2サイドウォールを形成する工程をさらに有し、前記拡散層の一部の領域にシリサイド化反応を抑制する不純物を導入する工程においては、前記第2サイドウォールの下部のシリサイド化反応を抑制する不純物濃度を選択的に高めるように、前記シリサイド化反応を抑制する不純物の加速電圧を調整して導入する。これにより、チャネル形成領域と拡散層の接続端部近傍領域における拡散層の一部の領域のシリサイド化反応を抑制する不純物の濃度を選択的に高めるように導入することが可能となる。

【0035】上記の本発明の半導体装置の製造方法は、好適には、前記ゲート電極を形成する工程の後、前記第1サイドウォールを形成する工程の前に、前記ゲート電極の上層にオフセット絶縁膜を形成する工程をさらに有し、前記拡散層の一部の領域にシリサイド化反応を抑制する不純物を導入する工程においては、前記拡散層の所定の深さの領域の前記シリサイド化反応を抑制する不純物の濃度を選択的に高めるように、前記シリサイド化反応を抑制する不純物の加速電圧を調整して導入する。これにより、拡散層の所定の深さの領域のシリサイド化反応を抑制する不純物の濃度を選択的に高めるように導入することが可能となる。

【0036】上記の本発明の半導体装置の製造方法は、好適には、前記ゲート絶縁膜を形成する工程の前に、絶縁性基板上に前記半導体層を形成する工程をさらに有する。これにより、素子間同士の完全分離を容易に行なうことが可能となり、またソフトエラーやCMOSトランジスタに特有なラッチアップの抑制などが可能なSOI構造として形成することができる。

【0037】上記の本発明の半導体装置の製造方法は、好適には、前記ゲート電極を形成する工程の後、前記第1サイドウォールを形成する工程の前に、前記ゲート電極をマスクとして導電性不純物の導入を行い、前記拡散層よりも低濃度の導電性不純物を含有する低濃度拡散層を形成する工程をさらに有する。これにより、LDD構造を形成することができる。

【0038】上記の本発明の半導体装置の製造方法は、好適には、前記熱処理工程においては、高速熱アニール(RTA)法による熱処理を行う。これにより、不純物の深さ方向への拡散の抑制とともに横方向への拡散も抑制してイオン注入後の不純物プロファイルにより近い形が保存されるように導電性不純物を活性化するので、トランジスタの短チャネル効果を抑制することが可能となる。

【0039】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照して説明する。

【0040】第1実施形態

本実施形態にかかる半導体装置の断面図を図1(a)に示す。本実施形態の半導体装置は、本発明をSOI基板上に形成されるMOSトランジスタ(例えばNチャネル型MOSトランジスタ)に適用したものである。例えばシリコン半導体基板10上に、例えば酸化シリコンからなる絶縁層11が形成され、その上層にチャネル形成領域を有するシリコン半導体層12が形成されており、絶縁層11により完全に素子分離された半導体層12を有するSOI基板を形成している。半導体層12の膜厚は、例えば約50nm程度である。チャネル形成領域の上層には、酸化シリコン薄膜のゲート絶縁膜20aを介して、例えば70nmの膜厚のポリシリコンからなる下側ゲート電極30a、例えば70nmの膜厚のタングステンシリサイドからなる上側ゲート電極31aからなるポリサイド構造のゲート電極32aが形成されており、

20 その上層には例えばNSG(Nondoped Silicate Glass)からなるオフセット絶縁膜21aが約150nmの膜厚で形成されている。ゲート電極32aの両側部には、例えば酸化シリコンからなる第1サイドウォール22aと、その側部に同じく酸化シリコンからなる第2サイドウォール23aが形成されている。

【0041】また、半導体層12中には、チャネル形成領域に接続するように低濃度に導電性不純物を含有する低濃度拡散層13aが形成されており、低濃度拡散層13aに接続してより高濃度に含有するソース・ドレイン領域となる拡散層14aが形成されている。さらに、拡散層14aの上層には、例えばチタンシリサイドからなるシリサイド層33が形成されている。

【0042】図1(b)は、図1(a)のNチャネル型MOSトランジスタのソース・ドレイン領域近傍を拡大した要部断面図である。シリコン半導体層12中には、チャネル形成領域に接続して順に、低濃度拡散層13a、拡散層14aが形成されており、拡散層14a中には特に不純物濃度が高い高濃度拡散層15aが形成されている。

40 【0043】上記の半導体装置においては、トランジスタのソース・ドレイン領域に形成された低濃度拡散層13aの上部には低濃度拡散層13aを形成した後の工程で低濃度拡散層13aに高濃度の不純物が導入されるのを防止するための第1サイドウォール(LDDスペーサ)22aが酸化シリコンなどの絶縁物により形成されており、さらに第2サイドウォール23aが第1サイドウォール22aに対して自己整合的に例えば酸化シリコンにより形成されている。拡散層14aは、上記の低濃度拡散層13aの上部に形成された第1サイドウォール22aに対して略自己整合的に形成されており、チャネ

ル形成領域へ接続する拡散層14aの端部近傍領域には、特に導電性不純物の濃度が高い高濃度拡散層15aが形成されており、高濃度拡散層15aを除く残りの領域の拡散層14a中の不純物濃度よりも高濃度に導電性不純物を含有する。すなわち、拡散層14a中の不純物濃度は、このチャネル形成領域への接続端部近傍である第2サイドウォール23aの下部（高濃度拡散層15a）にて極大値となっていて、この接続端部から離れるに従ってその不純物濃度が減少するような不純物のプロファイルとなっている。ここで、第1サイドウォール22aのゲート電極32aと対向する側の壁面の位置と、拡散層14aと低濃度拡散層13aの界面の位置が完全に一致していないのは、不純物の活性化の為に行われる熱処理中の不純物の横方向の拡散による。

【0044】また、シリサイド層33は上記の第2サイドウォール23aに対して自己整合的に形成されており、シリサイド層33の端部は、チャネル形成領域と拡散層14aの接続端部から所定の距離をもって離間して形成されている。シリサイド層33は第2サイドウォールの下部のシリコン半導体層を横方向にいくらか浸食しながら形成されるので、シリサイド層33の端部と第2サイドウォール23aの端部の位置は必ずしも一致せず、シリサイド層33は第2サイドウォール23aの下部に多少もぐり込んで形成されている。

【0045】ここで、第1サイドウォール22aの幅は、例えば0.15μmとし、第2サイドウォール23aの幅は0.1μmとする。チャネル形成領域と拡散層14aの接続端部とシリサイド層33は、第2サイドウォール23aの幅程度離されて形成されている。拡散層14a上には例えばチタンシリサイドが約30nmの膜厚で形成されており、チタンシリサイドの直下には未反応のシリコン層が10～20nm残存している。

【0046】上記の本実施形態の半導体装置によれば、シリサイド層の端部と拡散層とは十分不純物濃度（キャリア濃度）が高い部分で接触しているので、オーミックコンタクトとなり、トランジスタの駆動能力を低下させることは無い。また、シリサイド層は、比較的不純物濃度の低い拡散層上に形成することが可能となるので、シリサイド化反応が抑制されることなく、形成されるシリサイド層のシート抵抗を十分低い値とすることが可能となっている。さらに、拡散層の端部とシリサイドの端部とは、完全に別々に制御可能であることから、導電性不純物の活性化の為の熱処理条件やシリサイド形成の条件によらず、第2サイドウォールの幅を制御することにより両者の位置関係を制御して形成することが可能な半導体装置である。

【0047】次に、上記の本実施形態にかかる半導体装置の製造方法について説明する。まず、図2(a)に示すように、例えばシリコン半導体基板10上に酸化シリコンからなる絶縁層11が形成され、その上層にシリコ

ン半導体層12が形成されたSOI構造を有する基板を形成する。ここで用いるSOI構造基板は、例えば張り合わせとストップを用いた選択研磨により形成することが可能であり、SOI構造基板形成時に既に素子分離が行われているものとする。

【0048】通常の張り合わせ基板の形成方法においては、例えばシリコン半導体基板（A基板）にストップとなる段差の形成を形成し、次に例えばCVD（Chemical Vapor Deposition）法により酸化シリコンを堆積させて絶縁層11を形成し、その上層に例えばCVD法により張り合わせ用のポリシリコンを堆積させてCMP（Chemical Mechanical Polishing）法により平坦化研磨した後、平坦化面上に支持基板となるシリコン半導体基板（B基板）10を張り合わせ、熱処理により一体化する。次に、シリコン半導体層12を含むシリコン半導体基板（A基板）の一部を残してシリコン半導体基板（A基板）を研削し、絶縁層11（酸化膜）をストップとした選択研磨により、SOI構造基板を形成する。

【0049】次に、図2(b)に示すように、例えば熱20酸化法により半導体層12表面にゲート絶縁膜20を形成し、その上層に例えばCVD法により全面にポリシリコンを70nmの膜厚で堆積させて下側ゲート電極30を形成し、その上層に例えばCVD法によりタングステンシリサイドを70nmの膜厚で堆積させ上側ゲート電極31を形成する。これにより、ポリシリコンおよびタングステンシリサイドの積層構造であるポリサイドからなるゲート電極32となる。

【0050】次に、図2(c)に示すように、ゲート電極32にホウ素などの導電性不純物D1を例えばBF₃⁺などのイオン注入により導入する。SOI構造基板に対して完全空乏型でエンハンスマントモードのCMOSトランジスタを形成する場合は、Nチャネル型MOSトランジスタにP⁺ゲート、Pチャネル型MOSトランジスタにn⁺ゲートをそれぞれ採用する必要があるため、レジスト膜R1によりゲートへのイオンの注入を打ち分ける。

【0051】次に、図3(d)に示すように、例えばCVD法によりNSGを約150nmの膜厚で堆積させ、オフセット絶縁膜21を形成する。

【0052】次に、図3(e)に示すように、フォトマスク工程によりゲート電極パターンを有するレジスト膜R2を形成する。

【0053】次に、図3(f)に示すように、レジスト膜R2をマスクとして例えばRIE（反応性イオンエッチング）などのエッティングを施し、ゲート電極パターンにオフセット絶縁膜21aを加工する。レジスト膜R2はこの後に除去する。

【0054】次に、図4(g)に示すように、ゲート電極パターンに加工したオフセット絶縁膜21aをマスクとしてRIEなどのエッティングを施し、ゲート電極32

aをパターン加工する。

【0055】次に、図4(h)に示すように、ゲート電極32aをマスクとして、ホウ素などの導電性不純物D2を例えればBF₂⁺などのイオン注入により導入して、低濃度拡散層13を形成する。このとき、ゲート電極への不純物導入と同様に、Nチャネル型MOSトランジスタにn⁺拡散層、Pチャネル型MOSトランジスタにp⁺拡散層をそれぞれ採用する必要があるため、レジスト膜R3により半導体層12へのイオンの注入を打ち分ける。

【0056】次に、図4(i)に示すように、例えれば常圧CVD法によりオフセット絶縁膜21aの上層から全面に酸化シリコンを堆積させ、第1サイドウォール用層22を形成する。このときのCVD条件は、例えば(基板温度：430℃、圧力：大気圧、ガス流量：SiH₄/O₂/N₂=30/540/23000(cc/min))とする。

【0057】次に、図5(j)に示すように、ゲート電極32aの側壁部を残して第1サイドウォール用層22を全面にRIEなどのエッチングによりエッチバックすることで、第1サイドウォール22aを形成する。このときのエッチング条件は、例えば(基板(電極)温度：0℃、圧力：240Pa、ガス流量：CHF₃/CF₄/Ar=30/0/800(cc/min)、RFパワー：500W)とする。

【0058】次に、図5(k)に示すように、上記の第1サイドウォール22aを形成する方法と同様にして、第1サイドウォール22aの側部に例えれば酸化シリコンからなる第2サイドウォール23aを形成する。酸化シリコンの全面堆積とエッチバック条件は第1サイドウォールと全く同様にできる。

【0059】次に、図5(l)に示すように、図示しないチャネリング防止用の薄い酸化膜を堆積した後、第2サイドウォール23aをマスクとして、ホウ素などの導電性不純物D3を例えればBF₂⁺などのイオン注入により導入して、ソース・ドレイン領域となる拡散層14を形成する。この時、不純物の飛程Rpは、SOI構造基板の絶縁層11へ突き抜ける部分に設定する。これにより、第2サイドウォール23aの下部(高濃度拡散層15)において導電性不純物の濃度が極大値となっていて、チャネル形成領域との接続端部から離れるに従ってその不純物濃度が減少するような不純物のプロファイルとができる。このとき、ゲート電極への不純物導入と同様に、Nチャネル型MOSトランジスタにn⁺拡散層、Pチャネル型MOSトランジスタにp⁺拡散層をそれぞれ採用する必要があるため、レジスト膜R4により半導体層12へのイオンの注入を打ち分ける。

【0060】上記の不純物の導入の原理について図6を用いて説明する。イオン注入時のイオンの飛程Rpを適当な位置に選ぶことにより、次工程において形成されるシリサイド層の形成領域である拡散層の表面付近では不純物濃度を比較的低く抑え、第2サイドウォール23a

の下部領域にて不純物濃度が最大となるようになる。図面上、不純物イオンの飛程Rpを深くすることにより、部位Aにおいて不純物濃度が最大となるようになる。例えば、チャネリング防止用の薄い酸化膜の膜厚が約10nm、SOI構造シリコン半導体層12の膜厚が約50nmの場合は、イオンの飛程Rpが60nm以上となるように設定する。ここでは、Nチャネル型MOSトランジスタ、Pチャネル型MOSトランジスタとも、イオンの飛程Rpを約100nmとして不純物をイオン注入するため、それぞれAs⁺およびBF₂⁺を例えれば200KeVの加速電圧にてイオン注入を行う。

【0061】次に、図7(m)に示すように、例えればRTA(Rapid Thermal Annealing)法による熱処理により、低濃度拡散層13a、ソース・ドレイン領域となる拡散層14aおよび高濃度拡散層15a中の導電性不純物の活性化を行う。この熱処理の条件は、例えば(1000℃、10秒、Ar雰囲気中、RTA処理)とする。

【0062】次に、図7(n)に示すように、例えれば、まずチタンの堆積工程として、マグネットロンスパッタリング法により約20nmの膜厚でチタン層を堆積させる。次に、第1のRTA処理(650℃、30秒、窒素雰囲気中)によりシリサイド化反応をさせる。次に、未反応チタン層の選択エッチング除去処理(H₂SO₄:H₂O₂=3:1、10分)を行う。次に、第2のRTA処理(800℃、30秒、窒素雰囲気中)によりシリサイド化反応を完了させる。以上のようにして、チタンを全面に堆積した後のシリサイド化反応により自己整合的にシリサイド層33を形成する。以上で、MOSトランジスタが完成する。

【0063】次に、図7(o)に示すように、上記で形成したMOSトランジスタを被覆して全面に例えれば酸化シリコンを堆積させて層間絶縁膜24を形成し、ソース・ドレイン領域上のシリサイド層33に達するコンタクトホールを開口し、ホール内に例えばタングステンからなるプラグ34を埋め込み、さらにプラグ34に接続する上層配線35をアルミニウムなどにより形成して所望の半導体装置を形成する。

【0064】上記の本実施形態の半導体装置の製造方法によれば、シリサイド層を低濃度拡散層などの導電性不純物の濃度は低い領域や、チャネル形成領域に接しないように形成することができ、シリサイド層と拡散層間のコンタクト抵抗の上昇を抑制しながら、シリサイド化反応を抑制しないように拡散層中の不純物濃度を下げてシリサイド層のシート抵抗の上昇を抑制して形成することが可能となる。従って、微細化して接合が浅くなるデバイスにおいても、シリサイド層と拡散層間のコンタクト抵抗を上昇させず、コンタクト特性が良好なオーミックコンタクトとしながら、低抵抗なシリサイド層を拡散層上に自己整合的に形成し、拡散層の低抵抗化を全て素子の駆動能力の向上につなげることが可能な半導体装置

の製造方法である。

【0065】第2実施形態

本実施形態にかかる半導体装置の断面図を図8 (a) に示す。本実施形態の半導体装置は、本発明をSOI基板上に形成されるMOSトランジスタ（例えばNチャネル型MOSトランジスタ）に適用したものである。例えばシリコン半導体基板10上に、例えば酸化シリコンからなる絶縁層11が形成され、その上層にチャネル形成領域を有するシリコン半導体層12が形成されており、絶縁層11により完全に素子分離された半導体層12を有するSOI基板を形成している。半導体層12の膜厚は、例えば約50nm程度である。チャネル形成領域の上層には、酸化シリコン薄膜のゲート絶縁膜20aを介して、例えば70nmの膜厚のポリシリコンからなる下側ゲート電極30a、例えば70nmの膜厚のタンゲステンシリサイドからなる上側ゲート電極31aからなるポリサイド構造のゲート電極32aが形成されており、その上層には例えばNSG (Nondoped Silicate Glass) からなるオフセット絶縁膜21aが約150nmの膜厚で形成されている。ゲート電極32aの両側部には、例えば酸化シリコンからなる第1サイドウォール22aと、その側部に同じく酸化シリコンからなる第2サイドウォール23aが形成されている。

【0066】また、半導体層12中には、チャネル形成領域に接続するように低濃度に導電性不純物を含有する低濃度拡散層13aが形成されており、低濃度拡散層13aに接続してより高濃度に含有するソース・ドレイン領域となる拡散層14aが形成されている。また、拡散層14a中のチャネル形成領域へ接続する端部近傍領域にはシリサイド化抑制不純物含有層16aが形成されている。さらに、拡散層14aの上層には、例えばチタンシリサイドからなるシリサイド層33が例えば30nmの膜厚で形成されている。

【0067】図8 (b) は、図8 (a) のNチャネル型MOSトランジスタのソース・ドレイン領域近傍を拡大した要部断面図である。シリコン半導体層12中には、チャネル形成領域に接続して順に、低濃度拡散層13a、拡散層14aが形成されている。また、トランジスタのソース・ドレイン領域に形成された低濃度拡散層13aの上部には低濃度拡散層13aを形成した後の工程で低濃度拡散層13aに高濃度の不純物が導入されるのを防止するための第1サイドウォール (LDDスペーサ) 22aが約0.12μmの幅で酸化シリコンなどの絶縁物により形成されており、さらに第2サイドウォール23aが第1サイドウォール22aに対して自己整合的に約0.1μmの幅で例えば酸化シリコンにより形成されている。拡散層14a中のチャネル形成領域へ接続する端部近傍領域にはシリサイド化を抑制する不純物として例えば酸素を含有するシリサイド化抑制不純物含有層16aが形成されており、その濃度は拡散層14a表

面から離れるに従い高くなるプロファイルとなっている。第2サイドウォール23aの下部における領域の濃度は例えば $5 \times 10^{19}/cm^3$ 程度である。拡散層14aは、上記の低濃度拡散層13aの上部に形成された第1サイドウォール22aに対して略自己整合的に形成されている。ここで、第1サイドウォール22aのゲート電極32aと対向する側の壁面の位置と、拡散層14aと低濃度拡散層13aの界面の位置が完全に一致していないのは、不純物の活性化の為に行われる熱処理中の不純物の横方向の拡散による。

【0068】また、シリサイド層33は上記の第2サイドウォール23aに対して自己整合的に形成されており、シリサイド層33の端部は、チャネル形成領域と拡散層14aの接続端部から所定の距離をもって離間して形成されている。シリサイド層33は第2サイドウォールの下部のシリコン半導体層を横方向にいくらか浸食しながら形成されるので、シリサイド層33の端部と第2サイドウォール23aの端部の位置は必ずしも一致せず、シリサイド層33は第2サイドウォール23aの下部に多少もぐり込んで形成されているが、拡散層14a中にはシリサイド化抑制不純物含有層16aが形成されていることにより、シリサイド層33の端部はシリサイド化抑制不純物含有層16a中のシリサイド化を抑制する酸素などの不純物の濃度がある所定の値となっている領域でとどまっている。

【0069】上記の本実施形態の半導体装置によれば、シリサイド層は、チャネル形成領域とソース・ドレイン領域となる拡散層の接続端部から所定の距離をもって離間して形成されており、さらに、チャネル形成領域と拡散層の接続端部と、高融点金属シリサイド層との間における拡散層中に、シリサイド化反応を抑制する不純物が含有されている領域を有することから、シリサイド化反応が進みすぎてシリサイド層とチャネル形成領域が接しないようになることができる。また、SOI構造などの場合に供給量に制限があるのにシリサイド化反応が進みすぎてボイドが形成されたりするのを抑制することができる。これにより、微細化して接合が浅くなるデバイスにおいても、シリサイド層と拡散層間のコンタクト抵抗を上昇させず、コンタクト特性が良好なオーミックコンタクトとしながら、低抵抗なシリサイド層を拡散層上に自己整合的に形成し、拡散層の低抵抗化分を全て素子の駆動能力の向上につなげることが可能となる。また、拡散層の端部とシリサイドの端部とは、完全に別々に制御可能であることから、導電性不純物の活性化の為の熱処理条件やシリサイド形成の条件によらず、第2サイドウォールの幅を制御することにより両者の位置関係を制御して形成することが可能な半導体装置である。

【0070】次に、上記の本実施形態にかかる半導体装置の製造方法について説明する。図9 (a) に至るまで50の工程は第1実施形態と同様であり、例えばシリコン半

導体基板10上に形成された絶縁層11、シリコン半導体層12を有するSOI構造基板の半導体層12表面に、ゲート絶縁膜20a、下側ゲート電極30aおよび上側ゲート電極31aからなるゲート電極32a、オフセット絶縁膜21aをゲート電極パターンにパターン形成し、ゲート電極32aをマスクとして導電性不純物D2をイオン注入により導入して低濃度拡散層13を形成し、ゲート電極32aの側壁部に第1サイドウォール22aを形成する。

【0071】次に、図9(b)に示すように、図示しないチャネリング防止用の薄い酸化膜を堆積した後、第1サイドウォール22aをマスクとして、ホウ素などの導電性不純物D4を例えばBF₂⁺などのイオン注入により導入して、ソース・ドレイン領域となる拡散層14を形成する。このとき、ゲート電極への不純物導入と同様に、Nチャネル型MOSトランジスタにn⁺拡散層、Pチャネル型MOSトランジスタにp⁺拡散層をそれぞれ採用する必要があるため、レジスト膜R5により半導体層12へのイオンの注入を打ち分ける。

【0072】次に、図10(c)に示すように、上記の第1サイドウォール22aを形成する方法と同様にして、第1サイドウォール22aの側部に例えば酸化シリコンからなる第2サイドウォール23aを形成する。酸化シリコンの全面堆積とエッチバック条件は第1サイドウォールと全く同様にすることができる。

【0073】次に、図10(d)に示すように、第2サイドウォール23aおよびレジスト膜R6をマスクとして、O⁺などのシリサイド化を抑制する不純物D5をイオン注入により全面に導入してシリサイド化抑制不純物含有層16を形成する。この時、不純物の飛程Rpは、SOI構造基板の絶縁層11へ突き抜ける部分に設定して、第2サイドウォール23aの下部における領域の濃度を選択的に高めるようにシリサイド化を抑制する不純物を導入する。シリサイド化を抑制する不純物としては、酸素以外には、窒素などを用いることができ、NチャネルMOSトランジスタの場合には砒素を用いることもできる。

【0074】上記の不純物の導入の原理について図11を用いて説明する。イオン注入時のイオンの飛程Rpを半導体層12の厚さよりも大きくして、部位Aにおいて不純物濃度が最大となるようにする。例えば、チャネリング防止用の薄い酸化膜の膜厚が約10nm、SOI構造シリコン半導体層12の膜厚が約50nmの場合は、イオンの飛程Rpが60nm以上、例えば100nm程度となるように、O⁺の加速電圧を例えば40keVに設定し、ドーズ量は例えば2×10¹⁴/cm²とする。これにより、第2サイドウォール23aの下部におけるシリサイド化を抑制する不純物の濃度が選択的に高くなるように導入して、この領域の酸素の濃度を1×10²⁰/cm³程度とすることができる。

【0075】次に、図12(e)に示すように、例えばRTA(Rapid Thermal Annealing)法による熱処理により、低濃度拡散層13aおよびソース・ドレイン領域となる拡散層14a中の導電性不純物の活性化を行う。この熱処理の条件は、例えば(1000°C、10秒、Ar雰囲気中、RTA処理)とする。

【0076】次に、図12(f)に示すように、例えば、まずチタンの堆積工程として、マグнетロンスパッタリング法により約30nmの膜厚でチタン層を堆積させる。次に、第1のRTA処理(650°C、30秒、窒素雰囲気中)によりシリサイド化反応をさせる。次に、未反応チタン層の選択エッチング除去処理(H₂SO₄:H₂O₂=3:1、10分)を行う。次に、第2のRTA処理(800°C、30秒、窒素雰囲気中)によりシリサイド化反応を完了させる。以上のようにして、チタンを全面に堆積した後のシリサイド化反応により自己整合的にシリサイド層33を形成する。また、チタンの堆積前にAs⁺を(40keV、ドーズ量3×10¹⁴/cm²)の条件で全面にイオン注入して、プレアモルファス化(Pre-Amorphos化)を行い、シリコン半導体層12の表面付近のシリサイド化反応速度を増大させてから上記のようにして自己整合的にシリサイド層の形成を行ってもよい。以上で、MOSトランジスタが完成する。

【0077】次に、図12(g)に示すように、上記で形成したMOSトランジスタを被覆して全面に例えば酸化シリコンを堆積させて層間絶縁膜24を形成し、ソース・ドレイン領域上のシリサイド層33に達するコンタクトホールを開口し、ホール内に例えばタンクスチタンからなるプラグ34を埋め込み、さらにプラグ34に接続する上層配線35をアルミニウムなどにより形成して所望の半導体装置を形成する。

【0078】上記の本実施形態の半導体装置の製造方法によれば、シリサイド層は、チャネル形成領域とソース・ドレイン領域となる拡散層の接続端部から所定の距離をもって離間して形成し、さらに、拡散層中にシリサイド化反応を抑制する不純物を導入することから、この領域においてシリサイド化反応が進みすぎないように制御して形成することが可能である。特に、チャネル形成領域と拡散層の接続端部近傍領域における拡散層中にシリサイド化反応を抑制する不純物の濃度を選択的に高めるように導入することで、シリサイド化反応がチャネル形成領域方向へ進むにつれて反応速度が低下するようにして形成することが可能となり、シリサイド層がチャネル形成領域に接するまでシリサイド化反応をしてしまったり、SOI構造などの場合に供給量に制限があるのにシリサイド化反応が進みすぎてボイドが形成されたりするのを抑制することができる。従って、微細化して接合が浅くなるデバイスにおいても、シリサイド層と拡散層間のコンタクト抵抗を上昇させず、コンタクト特性が良好なオーミックコンタクトとしながら、低抵抗なシリサイ

ド層を拡散層上に自己整合的に形成し、拡散層の低抵抗化分を全て素子の駆動能力の向上につなげることが可能な半導体装置の製造方法である。

【0079】第3実施形態

本実施形態にかかる半導体装置の断面図を図13(a)に示す。本実施形態の半導体装置は、本発明をSOI基板上に形成されるMOSトランジスタ(例えばNチャネル型MOSトランジスタ)に適用したものである。例えばシリコン半導体基板10上に、例えば酸化シリコンからなる絶縁層11が形成され、その上層にチャネル形成領域を有するシリコン半導体層12が形成されており、絶縁層11により完全に素子分離された半導体層12を有するSOI基板を形成している。半導体層12の膜厚は、例えば約50nm程度である。チャネル形成領域の上層には、酸化シリコン薄膜のゲート絶縁膜20aを介して、例えば70nmの膜厚のポリシリコンからなる下側ゲート電極30a、例えば70nmの膜厚のタングステンシリサイドからなる上側ゲート電極31aからなるポリサイド構造のゲート電極32aが形成されており、その上層には例えばNSG(Nondoped Silicate Glass)からなるオフセット絶縁膜21aが約150nmの膜厚で形成されている。ゲート電極32aの両側部には、例えば酸化シリコンからなるサイドウォール22aが形成されている。

【0080】また、半導体層12中には、チャネル形成領域に接続するように低濃度に導電性不純物を含有する低濃度拡散層13aが形成されており、低濃度拡散層13aに接続してより高濃度に含有するソース・ドレイン領域となる拡散層14aが形成されている。また、拡散層14aの上層には、例えばチタンシリサイドからなるシリサイド層33が例えば30nmの膜厚で形成されている。また、シリサイド層33の下層における拡散層14a中にはシリサイド化抑制不純物含有層16aが形成されている。

【0081】図13(b)は、図13(a)のNチャネル型MOSトランジスタのソース・ドレイン領域近傍を拡大した要部断面図である。シリコン半導体層12中には、チャネル形成領域に接続して順に、低濃度拡散層13a、拡散層14aが形成されている。また、トランジスタのソース・ドレイン領域に形成された低濃度拡散層13aの上部には低濃度拡散層13aを形成した後の工程で低濃度拡散層13aに高濃度の不純物が導入されるのを防止するためのサイドウォール(LDDスペーサ)22aが約0.12μmの幅で酸化シリコンなどの絶縁物により形成されている。シリサイド層33の下部における拡散層14a中にはシリサイド化を抑制する不純物として例えば酸素を含有するシリサイド化抑制不純物含有層16aが形成されており、その濃度は拡散層14a表面から離れるに従い高くなるプロファイルとなっている。シリサイド層33近傍領域における濃度は例えば1

$\times 10^{19}/\text{cm}^3$ 程度である。拡散層14aは、上記の低濃度拡散層13aの上部に形成されたサイドウォール22aに対して略自己整合的に形成されている。ここで、サイドウォール22aのゲート電極32aと対向する側の壁面の位置と、拡散層14aと低濃度拡散層13aの界面の位置が完全に一致していないのは、不純物の活性化の為に行われる熱処理中の不純物の横方向の拡散による。

【0082】また、シリサイド層33は上記のサイドウォール22aに対して自己整合的に形成されており、シリサイド層33の端部は、チャネル形成領域と拡散層14aの接続端部から所定の距離をもって離間して形成されている。通常の方法によればシリサイド層はサイドウォール22aの下部に多少もぐり込んで形成されることとなるが、本実施形態においてはシリサイド化抑制不純物含有層16aが形成されているためにシリサイド層はサイドウォール22aの下部にもぐり込んで形成されていない。

【0083】上記の本実施形態の半導体装置によれば、シリサイド層は、チャネル形成領域とソース・ドレイン領域となる拡散層の接続端部から所定の距離をもって離間して形成されており、さらに、シリサイド層の下部における拡散層中にシリサイド化反応を抑制する不純物が含有されていることから、シリサイド化反応が進みすぎて未反応のシリコンをシリサイド化反応に全て消費してしまうことがなく、SOI構造などの場合に供給量に制限があるのにシリサイド化反応が進みすぎてボイドが形成されたりするのを抑制することができる。これにより、微細化して接合が浅くなるデバイスにおいても、シリサイド層と拡散層間のコンタクト抵抗を上昇させず、コンタクト特性が良好なオーミックコンタクトとしながら、低抵抗なシリサイド層を拡散層上に自己整合的に形成し、拡散層の低抵抗化分を全て素子の駆動能力の向上につなげることが可能となる。

【0084】次に、上記の本実施形態にかかる半導体装置の製造方法について説明する。図14(a)に至るまでの工程は第1実施形態と同様であり、例えばシリコン半導体基板10上に形成された絶縁層11、シリコン半導体層12を有するSOI構造基板の半導体層12表面に、ゲート絶縁膜20a、下側ゲート電極30aおよび上側ゲート電極31aからなるゲート電極32a、オフセット絶縁膜21aをゲート電極パターンにパターン形成し、ゲート電極32aをマスクとして導電性不純物D2をイオン注入により導入して低濃度拡散層13を形成し、ゲート電極32aの側壁部にサイドウォール22aを形成する。

【0085】次に、図14(b)に示すように、図示しないチャネリング防止用の薄い酸化膜を堆積した後、サイドウォール22aをマスクとして、ホウ素などの導電性不純物D6を例えればBF₃⁺などのイオン注入により

導入して、ソース・ドレイン領域となる拡散層14を形成する。このとき、ゲート電極への不純物導入と同様に、Nチャネル型MOSトランジスタにn⁺拡散層、Pチャネル型MOSトランジスタにp⁺拡散層をそれぞれ採用する必要があるため、レジスト膜R7により半導体層12へのイオンの注入を打ち分ける。

【0086】次に、図14(c)に示すように、サイドウォール22aおよびレジスト膜R7をマスクとして、O⁺などのシリサイド化を抑制する不純物D7をイオン注入により全面に導入してシリサイド化抑制不純物含有層16を形成する。この時、不純物の飛程Rpは、SOI構造基板の半導体層12中の絶縁層11との界面近傍における所定の深さの領域の濃度を選択的に高めるようにシリサイド化を抑制する不純物を導入する。シリサイド化を抑制する不純物としては、酸素以外には、窒素などを用いることができ、NチャネルMOSトランジスタの場合には砒素を用いることもできる。

【0087】上記の不純物の導入の原理について図15を用いて説明する。半導体層12中の絶縁層11との界面近傍領域(部位A)で不純物イオンの濃度が最大となるようにイオン注入時の不純物イオンの飛程Rpを選択する。例えば、チャネリング防止用の薄い酸化膜の膜厚が約10nm、SOI構造シリコン半導体層12の膜厚が約50nmの場合は、イオンの飛程Rpが50nm程度(例えば43nm)となるように、O⁺の加速電圧を例えば20keVに設定し、ドーズ量は例えば2×10¹⁴/cm²とする。これにより、半導体層12中の絶縁層11との界面近傍領域(部位A)におけるシリサイド化を抑制する不純物の濃度が選択的に高くなるように導入して、この領域の酸素の濃度を1×10²⁰/cm³程度とすることができる。このシリサイド化を抑制する不純物の導入は、サイドウォール22aを形成する方法と同様にしてサイドウォール22a(第1サイドウォール)の側部に例えば酸化シリコンからなる別のサイドウォール(第2サイドウォール)を形成してから行ってもよく、このほうが拡散層14aとチャネル形成領域の離間幅などを制御しやすいので好ましい。

【0088】次に、図16(d)に示すように、例えばRTA(Rapid Thermal Annealing)法による熱処理により、低濃度拡散層13aおよびソース・ドレイン領域となる拡散層14a中の導電性不純物の活性化を行う。この熱処理の条件は、例えば(1000°C、10秒、Ar雰囲気中、RTA処理)とする。

【0089】次に、図16(e)に示すように、例えば、まずチタンの堆積工程として、マグネットロンスパッタリング法により約30nmの膜厚でチタン層を堆積させる。次に、第1のRTA処理(650°C、30秒、窒素雰囲気中)によりシリサイド化反応をさせる。次に、未反応チタン層の選択エッチング除去処理(H₂SO₄:H₂O₂=3:1、10分)を行う。次に、第2のRTA処理(80

0°C、30秒、窒素雰囲気中)によりシリサイド化反応を完了させる。以上のようにして、チタンを全面に堆積した後のシリサイド化反応により自己整合的にシリサイド層33を形成する。また、チタンの堆積前にAs⁺を(40keV、ドーズ量3×10¹⁴/cm²)の条件で全面にイオン注入して、プレアモルファス化(Pre-Amorphos化)を行い、シリコン半導体層12の表面付近のシリサイド化反応速度を増大させてから上記のようにして自己整合的にシリサイド層の形成を行ってもよい。以上で、

10 MOSトランジスタが完成する。

【0090】次に、図16(f)に示すように、上記で形成したMOSトランジスタを被覆して全面に例えば酸化シリコンを堆積させて層間絶縁膜24を形成し、ソース・ドレイン領域上のシリサイド層33に達するコンタクトホールを開口し、ホール内に例えばタングステンからなるプラグ34を埋め込み、さらにプラグ34に接続する上層配線35をアルミニウムなどにより形成して所望の半導体装置を形成する。

【0091】上記の本実施形態の半導体装置の製造方法によれば、シリサイド層は、チャネル形成領域とソース・ドレイン領域となる拡散層の接続端部から所定の距離をもって離間して形成し、さらに、拡散層中にシリサイド化反応を抑制する不純物を導入することから、この領域においてシリサイド化反応が進みすぎないように制御して形成することが可能である。特に、拡散層の所定の深さの領域のシリサイド化反応を抑制する不純物の濃度を選択的に高めるように導入することで、SOI構造などの場合に供給量に制限があるのにシリサイド化反応が進みすぎてボイドが形成されたりするのを抑制することができる。従って、微細化して接合が浅くなるデバイスにおいても、シリサイド層と拡散層間のコンタクト抵抗を上昇させず、コンタクト特性が良好なオーミックコンタクトとしながら、低抵抗なシリサイド層を拡散層上に自己整合的に形成し、拡散層の低抵抗化分を全て素子の駆動能力の向上につなげることが可能な半導体装置の製造方法である。

【0092】本発明は、NチャネルMOSトランジスタ系、Pチャネル型MOSトランジスタ系、CMOS系あるいはBiMOS系の半導体装置など、MOSトランジスタを有する半導体装置であればなんでも適用可能である。装置の微細化、縮小化が進められた半導体装置に、微細で信頼性の高いMOSトランジスタを提供することができる。

【0093】本発明は、上記の実施の形態に限定されない。例えば、SOI構造基板上に形成されたNチャネル型MOSトランジスタの例を示しているが、これはPチャネル型MOSトランジスタでも良い。また、バルクシリコン基板上に形成されたNチャネル型MOSトランジスタもしくはPチャネル型MOSトランジスタであっても良い。但し、バルクシリコン基板上にデバイスを形成

する場合は、シリサイド層下部の拡散層の不純物濃度をゼロにすることは素子分離上できない。

【0094】また、ゲート電極はオフセット絶縁膜付きのポリサイドとしているが、オフセット絶縁膜を形成しないポリシリコン電極として用いて、拡散層とゲート電極とを同時に自己整合的にシリサイド化（いわゆるフル・サイドプロセス）しても良い。

【0095】さらに2つの異なる目的で形成する第1サイドウォールおよび第2サイドウォールは、材料や幅についても適時設計変更が可能であり、材料としては酸化シリコン、窒化シリコンなどの金属と反応してシリサイドを形成しない材料であるなら2つのサイドウォールは同じ材料のものを用いても良いし、互いに異なる材料で形成しても良い。また、第2サイドウォールとしては、ポリシリコンのように金属と反応してシリサイドを形成する材料を用いても良い。形成するシリサイドとしては、チタンシリサイド(TiSi₂)の他に一般に高融点金属シリサイドと総称されるものであれば良く、例えばCoSi₂、MoSi₂、WSi₂、PtSi₂、NiSi₂、あるいはTaSi₂などでも良い。

【0096】また、張り合わせSOI構造基板を用いたSOI型MOSトランジスタの製造方法について示したが、SIMOXのような他の方法により形成してもよい。

【0097】

【発明の効果】本発明の半導体装置によれば、微細化して接合が浅くなるデバイスにおいても、拡散層などのボイドの形成やシリサイド層と拡散層間のコンタクト抵抗の上昇が抑制され、コンタクト特性が良好なオーミックコンタクトであり、低抵抗なシリサイド層が拡散層上に自己整合的に形成されて拡散層の低抵抗化分を全て素子の駆動能力の向上につなげることを可能とする。

【0098】本発明の半導体装置の製造方法によれば、上記の本発明の半導体装置が容易に形成可能であり、微細化して接合が浅くなるデバイスにおいても、拡散層などのボイドの形成やシリサイド層と拡散層間のコンタクト抵抗の上昇が抑制され、コンタクト特性が良好なオーミックコンタクトであり、低抵抗なシリサイド層が拡散層上に自己整合的に形成されて拡散層の低抵抗化分を全て素子の駆動能力の向上につなげることを可能とする半導体装置を製造することが可能である。

【図面の簡単な説明】

【図1】図1(a)は本発明の第1実施形態にかかる半導体装置の断面図であり、図1(b)は図1(a)の要部拡大図である。

【図2】図2は本発明の第1実施形態にかかる半導体装置の製造方法の製造工程を示す断面図であり、(a)はSOI構造基板の形成工程まで、(b)はゲート電極の形成工程まで、(c)はゲート電極への不純物の導入工程までを示す。

【図3】図3は図2の続きの工程を示す断面図であり、(d)はオフセット絶縁膜の形成工程まで、(e)はゲート電極パターンを有するレジスト膜の形成工程まで、(f)はゲート電極パターンにオフセット絶縁膜を加工する工程までを示す。

【図4】図4は図3の続きの工程を示す断面図であり、(g)はゲート電極パターンにゲート電極を加工する工程まで、(h)は低濃度拡散層を形成する導電性不純物の導入工程まで、(i)は第1サイドウォール用層の形成工程までを示す。

【図5】図5は図4の続きの工程を示す断面図であり、(j)は第1サイドウォールの形成工程まで、(k)は第2サイドウォールの形成工程まで、(l)はソース・ドレイン領域となる拡散層を形成するための導電性不純物の導入工程までを示す。

【図6】図6は図5(l)における導電性不純物の導入の原理を説明するための断面図である。

【図7】図7は図5の続きの工程を示す断面図であり、(m)は不純物を活性化する熱処理工程まで、(n)は20高融点金属シリサイド層の形成工程まで、(o)は上層配線の形成工程までを示す。

【図8】図8(a)は本発明の第2実施形態にかかる半導体装置の断面図であり、図8(b)は図8(a)の要部拡大図である。

【図9】図9は本発明の第2実施形態にかかる半導体装置の製造方法の製造工程を示す断面図であり、(a)は第1サイドウォールの形成工程まで、(b)はソース・ドレイン領域となる拡散層を形成するための導電性不純物の導入工程までを示す。

【図10】図10は図9の続きの工程を示す断面図であり、(c)は第2サイドウォールの形成工程まで、(d)はシリサイド化抑制層を形成するための不純物の導入工程までを示す。

【図11】図11は図10(d)における不純物の導入の原理を説明するための断面図である。

【図12】図12は図10の続きの工程を示す断面図であり、(e)は不純物を活性化する熱処理工程まで、(f)は高融点金属シリサイド層の形成工程まで、(g)は上層配線の形成工程までを示す。

【図13】図13(a)は本発明の第3実施形態にかかる半導体装置の断面図であり、図13(b)は図13(a)の要部拡大図である。

【図14】図14は本発明の第3実施形態にかかる半導体装置の製造方法の製造工程を示す断面図であり、(a)はサイドウォールの形成工程まで、(b)はソース・ドレイン領域となる拡散層を形成するための導電性不純物の導入工程まで、(c)はシリサイド化抑制層を形成するための不純物の導入工程までを示す。

【図15】図15は図14(c)における不純物の導入50の原理を説明するための断面図である。

【図16】図16は図15の続きの工程を示す断面図であり、(d)は不純物を活性化する熱処理工程まで、(e)は高融点金属シリサイド層の形成工程まで、(f)は上層配線の形成工程までを示す。

【図17】図17(a)は第1従来例にかかる半導体装置の断面図であり、図17(b)は図17(a)の要部拡大図である。

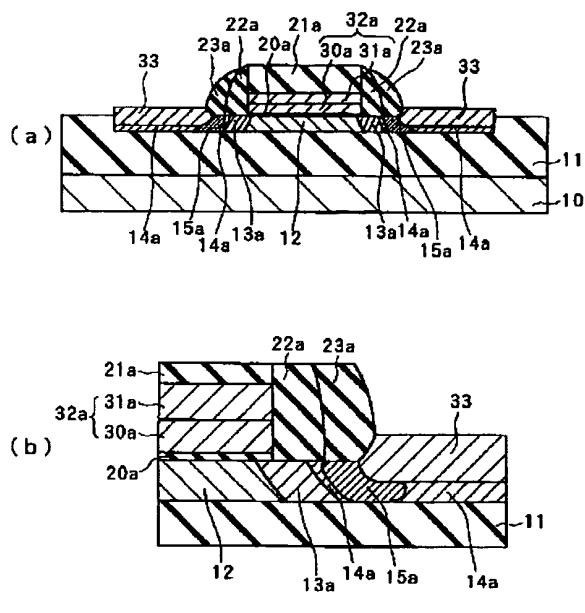
【図18】図18(a)は第2従来例にかかる半導体装置の断面図であり、図18(b)は図18(a)の要部拡大図である。

【図19】図19(a)は第3従来例にかかる半導体装置の断面図であり、図19(b)は図19(a)の要部拡大図である。

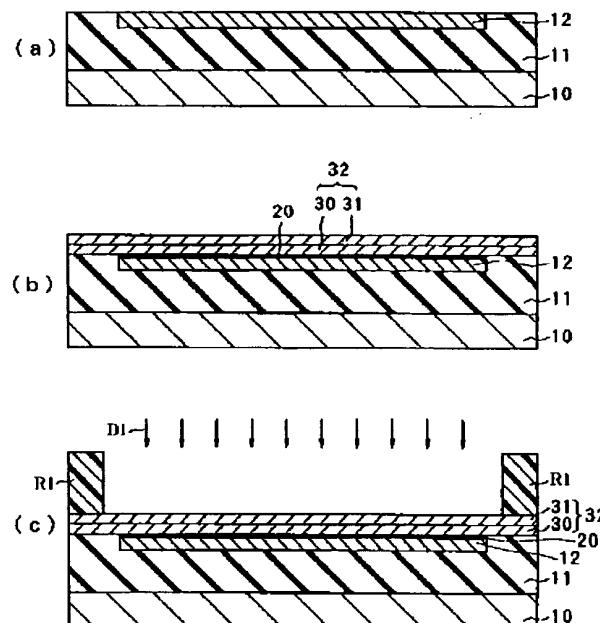
【符号の説明】

10 10…半導体基板、11…絶縁層、12…半導体層、13、13a…低濃度拡散層、14、14a…ソース・ドレイン領域となる拡散層、15、15a…高濃度拡散層、16、16a…シリサイド化抑制不純物含有層、20、20a…ゲート絶縁膜、22…第1サイドウォール用層、22a…第1サイドウォール、23a…第2サイドウォール、24…層間絶縁膜、30、30a…下側ゲート電極、31、31a…上側ゲート電極、32、32a…ゲート電極、33…高融点シリサイド層、34…プラグ、35…上層配線、R1、R1、R3、R4…レジスト膜、D1、D2、D3…導電性不純物、V…ボイド。

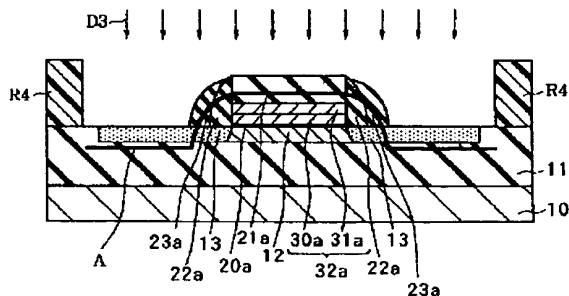
【図1】



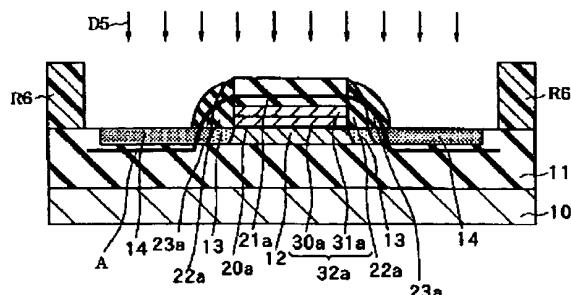
【図2】



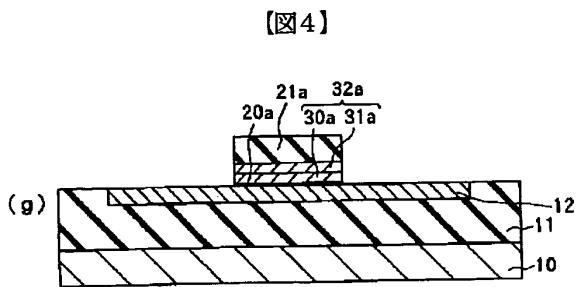
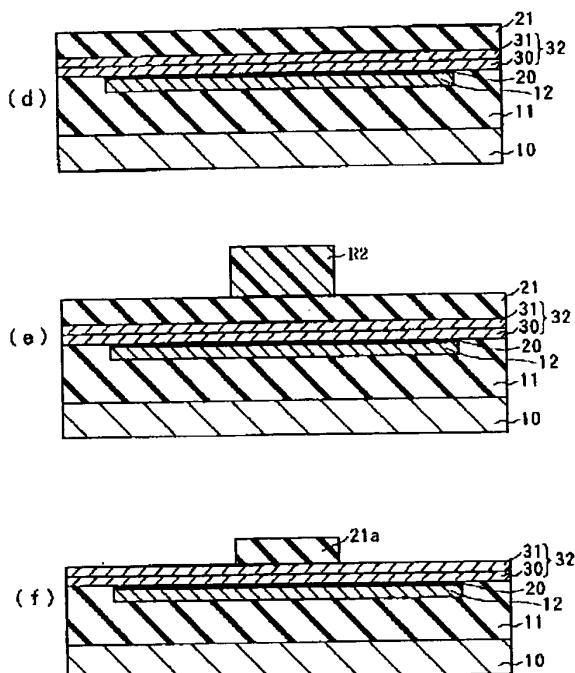
【図6】



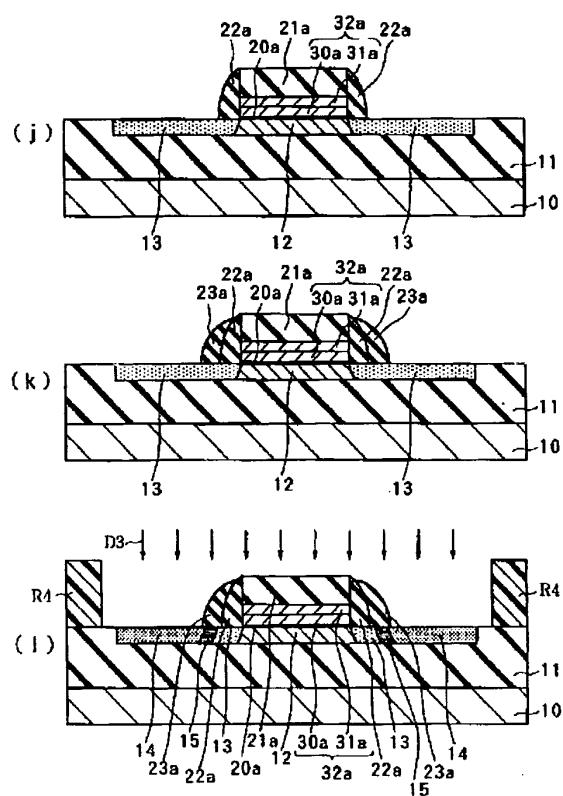
【図11】



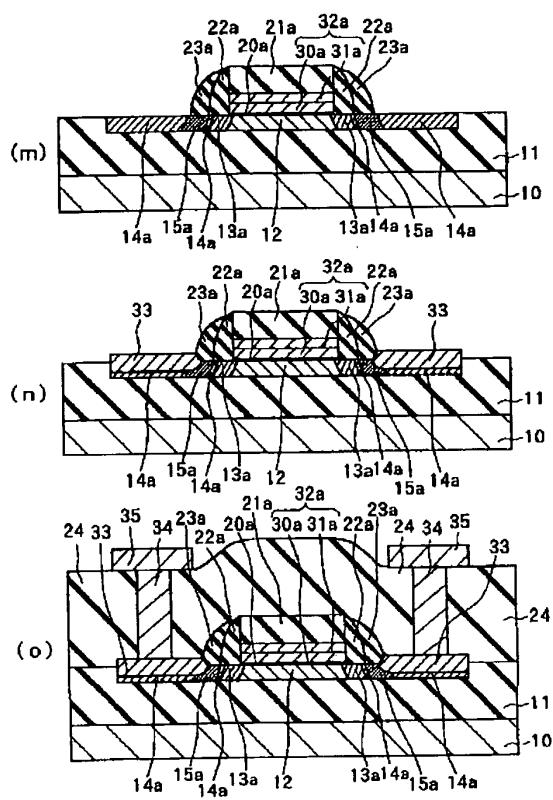
【図3】



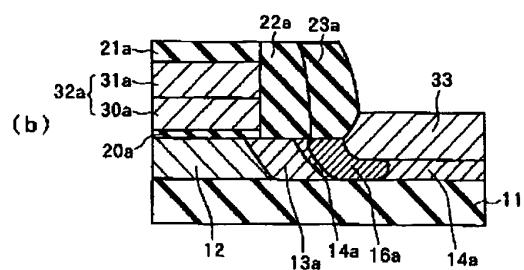
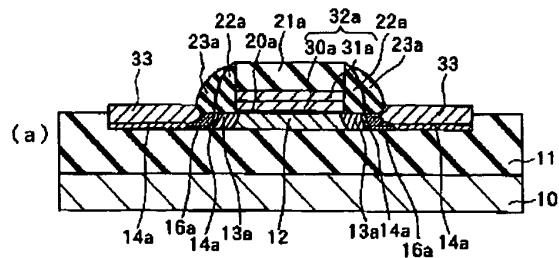
【図5】



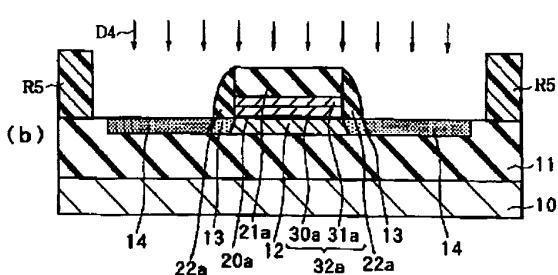
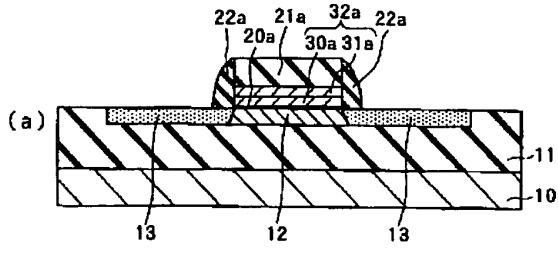
【図7】



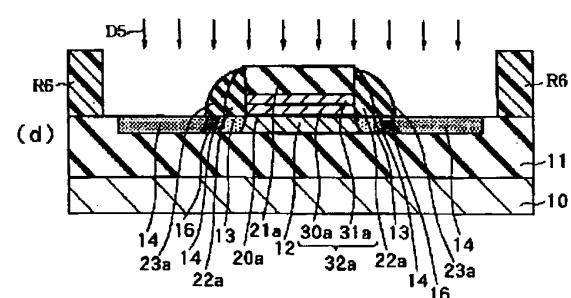
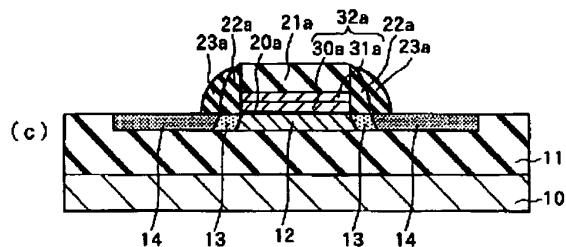
【図8】



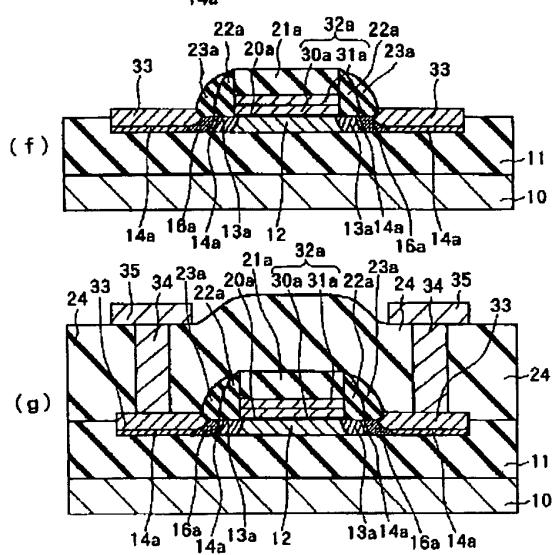
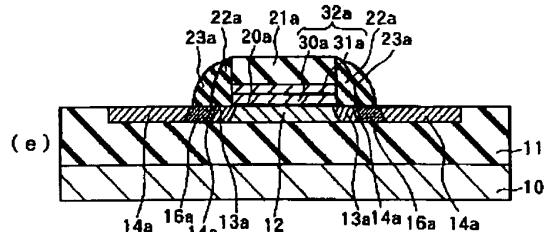
【図9】



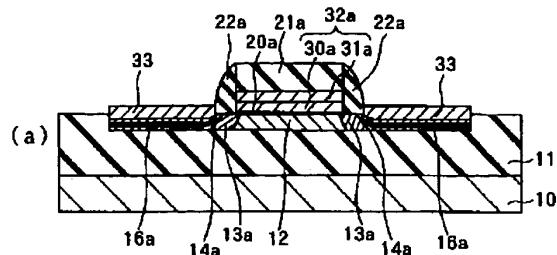
【図10】



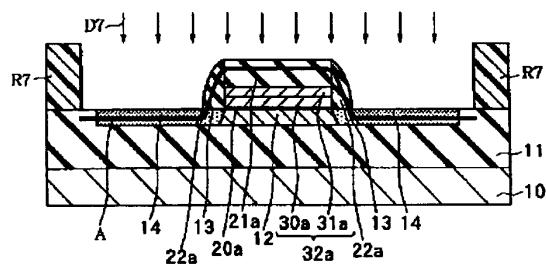
【図12】



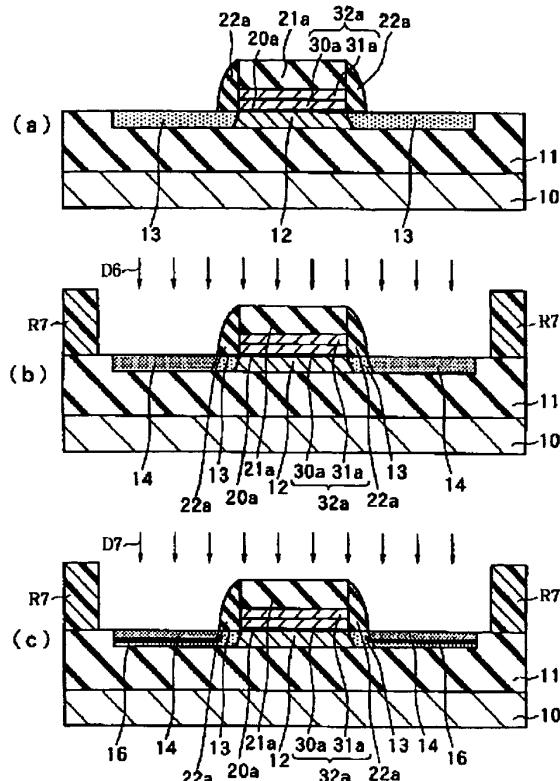
【図13】



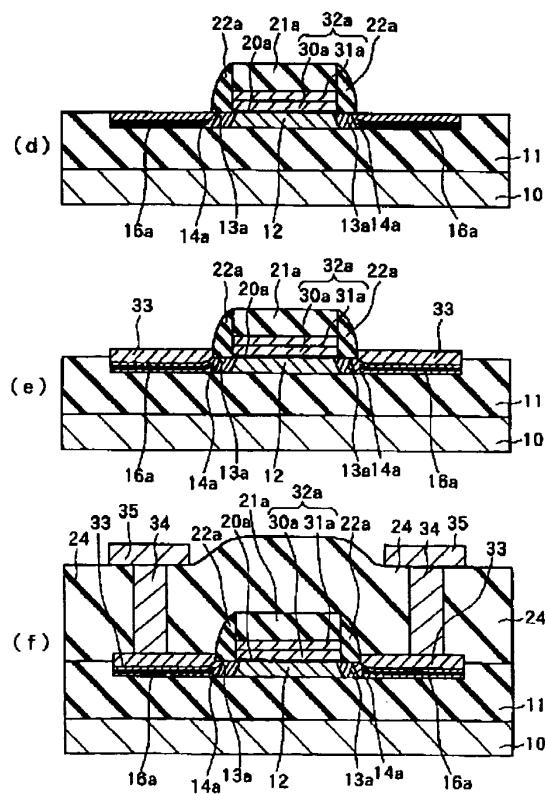
【図15】



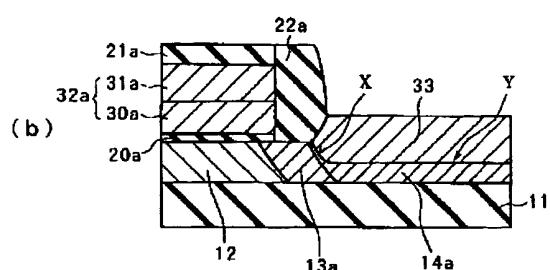
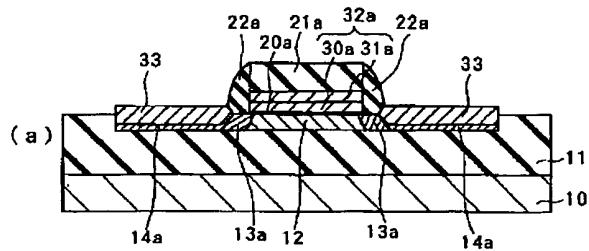
【図14】



【図16】



【図17】



【図18】

